

日本国特許庁
JAPAN PATENT OFFICE

Tomohisa OKUNO
f. 1/16/2004
Brick, Stewart, Ad
703-205-8000

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月20日
Date of Application:

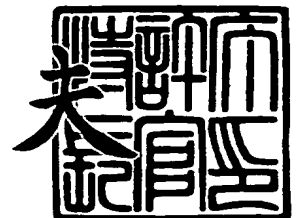
出願番号 特願2003-011622
Application Number:
[ST. 10/C]: [JP 2003-011622]

出願人 シャープ株式会社
Applicant(s):

2003年12月19日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3105746

【書類名】 特許願

【整理番号】 02J04744

【提出日】 平成15年 1月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H02M 3/155

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 奥野 智久

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100080034

 【弁理士】

 【氏名又は名称】 原 謙三

 【電話番号】 06-6351-4384

【選任した代理人】

 【識別番号】 100113701

 【弁理士】

 【氏名又は名称】 木島 隆一

【選任した代理人】

 【識別番号】 100116241

 【弁理士】

 【氏名又は名称】 金子 一郎

【手数料の表示】

 【予納台帳番号】 003229

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電圧変換回路ならびにそれを備える半導体集積回路装置および携帯端末

【特許請求の範囲】

【請求項 1】

P型トランジスタおよびN型トランジスタの直列回路が一对の電源ライン間に直列に接続されて構成されるスイッチ回路と、前記スイッチ回路における2つのトランジスタの接続点から導出される出力電圧を平滑化する平滑化回路と、前記平滑化回路によって平滑化された出力電圧を電源電圧とし、所望とする出力電圧を得るためのデューティ比を有するパルス信号を生成し、前記2つのトランジスタの制御端子に与えるパルス信号生成回路とを備えて構成される電圧変換回路において、

起動時の予め定める期間、前記P型トランジスタを強制的にオンさせる制御信号を生成し、前記制御端子に与える起動制御回路を含むことを特徴とする電圧変換回路。

【請求項 2】

前記起動制御回路は、

前記起動時の予め定める期間、予め定める電圧レベルとなる起動信号を生成する起動信号生成回路と、

前記起動信号および前記パルス信号生成回路からのパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルである場合、前記P型トランジスタをオンさせる電圧レベルの制御信号を出力し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成回路からのパルス信号を出力するスイッチ制御回路とを備えて構成されることを特徴とする請求項1記載の電圧変換回路。

【請求項 3】

前記パルス信号生成回路は、

基準パルス信号生成回路と、

入力された基準パルス信号を前記予め定める時間分遅延させる遅延回路と、

前記遅延回路での遅延時間を設定する遅延時間制御回路とを備えて構成され
るとともに、

前記遅延回路の出力パルス信号の電圧レベルを上昇させる昇圧レベルシフトを
さらに備えることを特徴とする請求項 1 または 2 記載の電圧変換回路。

【請求項 4】

前記起動制御回路は、起動時の予め定める期間、前記 P 型トランジスタを強制的
にオンさせる制御信号を第 1 の制御信号として、前記 N 型トランジスタを強制的
にオフさせる第 2 の制御信号も生成し、前記 N 型トランジスタの制御端子に与
えることを特徴とする請求項 1 記載の電圧変換回路。

【請求項 5】

前記起動制御回路は、

前記起動時の予め定める期間、予め定める電圧レベルとなる起動信号を生成
する起動信号生成回路と、

前記起動信号および前記パルス信号生成回路からの P 型トランジスタのため
の第 1 のパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルであ
る場合、前記 P 型トランジスタをオンさせる電圧レベルの第 1 の制御信号を出力
し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成
回路からの第 1 のパルス信号を出力する第 1 のスイッチ制御回路と、

前記起動信号および前記パルス信号生成回路からの N 型トランジスタのため
の第 2 のパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルであ
る場合、前記 N 型トランジスタをオフさせる電圧レベルの第 2 の制御信号を出力
し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成
回路からの第 2 のパルス信号を出力する第 2 のスイッチ制御回路とを備えて構成
されることを特徴とする請求項 4 記載の電圧変換回路。

【請求項 6】

前記パルス信号生成回路は、

基準パルス信号生成回路と、

入力された基準パルス信号を前記予め定める時間分遅延させる遅延回路と、

前記遅延回路での遅延時間を設定する遅延時間制御回路とを備えて構成され

るとともに、

前記遅延回路の出力パルス信号から前記第 1 および第 2 のパルス信号を生成するスイッチタイミング制御回路と、

前記スイッチタイミング制御回路からの前記第 1 のパルス信号の電圧レベルを上昇させる第 1 の昇圧レベルシフタと、

前記スイッチタイミング制御回路からの前記第 2 のパルス信号の電圧レベルを上昇させる第 2 の昇圧レベルシフタとをさらに備えることを特徴とする請求項 4 または 5 記載の電圧変換回路。

【請求項 7】

前記請求項 1 ～ 6 の何れか 1 項に記載の電圧変換回路を備えていることを特徴とする半導体集積回路装置。

【請求項 8】

前記請求項 7 記載の半導体集積回路装置を備えていることを特徴とする携帯端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路の動作に最適な電源電圧を供給する電圧変換回路、ならびにそれを備えている半導体集積回路装置および携帯端末に関する。

【0002】

【従来の技術】

一般に、動作クロックに従って演算処理等が実行される集積回路においては、製造プロセスのばらつきや、電源変動、温度変化等に対して、常に正常な動作を行わせるために、大きな設計マージンを設ける必要がある。つまり、各種の変動等によって遅延時間が増加しても、集積回路全体の動作が 1 クロック内に収まるように設計する必要がある。それに加え、すべての条件が最悪になっても動作するよう、集積回路には充分高い電源電圧が印加される。

【0003】

しかしながら、これらの大きな設計マージンや高い電源電圧の印加は、集積回

路の高速化や低消費電力化の妨げとなる。そこで、集積回路の動作状況を検知し、該集積回路の動作に必要な最低限の電源電圧を与えられるように、電源電圧を制御するための技術開発が進められている。

【0004】

図11は、電源電圧を変化することができる典型的な従来技術の電圧変換回路1の概略構成図である。この電圧変換回路1は、特開平10-242831号公報に開示されているものである。本図に示すように、この電圧変換回路1は、デューティ比制御回路2、バッファ回路3、フィルタ回路4、クリティカルパス回路5、遅延回路6、正否判定回路7および加算器8を備えて構成されている。

【0005】

前記デューティ比制御回路2は、バッファ回路3からの出力電圧の可変動作を制御する回路であり、カウンタ11と比較回路12とを有している。カウンタ11は、 $0 \sim 2^n - 1$ （例えば、 $n = 6$ の場合は $0 \sim 63$ ）までの数を、供給されたクロック信号（図示せず）の周期毎に1ずつカウントアップし、そのカウント数を n ビットの信号NAとして比較回路12に送出する。なお、カウント数 $2^n - 1$ の次は、0に復帰する。また、比較回路12には、前記信号NAの他に、加算器8から n ビットの信号NBが入力されている。

【0006】

比較回路12は、バッファ回路3を構成するPMOSトランジスタmpおよびNMOSトランジスタmnのオン／オフ制御を行う回路であり、各トランジスタmp, mnのゲートには、比較回路12から制御信号x1, x2がそれぞれ供給されている。なお、比較回路12は、信号NAが0となったときに制御信号x1, x2の電圧レベルをLレベルとし、信号NAが信号NBと一致したときに制御信号x1, x2の電圧レベルをHレベルとする。

【0007】

バッファ回路3において、PMOSトランジスタmpのソースにはHレベルの第1の電源電圧（ここではVDD）が印加されており、NMOSトランジスタmnのソースにはLレベルの第2の電源電圧（ここでは接地電圧）が印加されている。また、両トランジスタmp, mnのドレインは互いに接続されており、その

接続ノードはバッファ回路 3 の出力端とされている。

【0008】

したがって、制御信号 x_1 , x_2 が L レベルである場合、PMOS トランジスタ m_p はオンとなり、NMOS トランジスタ m_n はオフとなるので、バッファ回路 3 の出力電圧は、第 1 の電源電圧 (V_{DD}) に等しくなる。一方、制御信号 x_1 , x_2 が H レベルである場合、PMOS トランジスタ m_p はオフとなり、NMOS トランジスタ m_n はオンとなるので、バッファ回路 3 の出力電圧は、第 2 の電源電圧 (接地電圧) に等しくなる。すなわち、バッファ回路 3 の出力電圧は、信号 NA が 0 のときに立ち上がり、信号 NA が信号 NB に等しくなったときに立ち下がるパルス状の電圧信号 v_1 となる。

【0009】

この電圧信号 v_1 は、インダクタンス l およびキャパシタ c から成るフィルタ回路 4 によって平滑化されて、出力電圧 v_2 となる。この出力電圧 v_2 は、同一基板上に形成された内部回路 (図示せず) に対して供給され、前記内部回路の駆動電圧として利用される。また、出力電圧 v_2 は、クリティカルパス回路 5 の電源電圧としても利用される。

【0010】

前記したバッファ回路 3 を構成する PMOS トランジスタ m_p がオンとなり、NMOS トランジスタ m_n がオフとなる時間 (すなわち、制御信号 x_1 , x_2 が L レベルである時間) をオン時間 T_1 とし、PMOS トランジスタ m_p がオフとなり、NMOS トランジスタ m_n がオンとなる時間 (すなわち、制御信号 x_1 , x_2 が H レベルである時間) をオフ時間 T_2 とすると、フィルタ回路 4 の出力電圧 v_2 は、一般に、次の (1) 式によって求めることができる。

【0011】

$$v_2 = (T_1 / (T_1 + T_2)) * V_{DD} \quad \dots (1)$$

ここで、上式中のオン時間 T_1 (右辺分子) は、前記電圧信号 v_1 のパルス幅を表しており、オン時間 T_1 とオフ時間 T_2 との和 $T_1 + T_2$ (右辺分母) は、前記電圧信号 v_1 のパルス周期を表している。すなわち、出力電圧 v_2 を所望とする前記集積回路の動作に必要な最低限の電源電圧に制御するためには、電圧信号

v 1 におけるパルス幅とパルス周期との比（以下、デューティ比と呼ぶ）を制御すればよいことが理解される。

【0012】

そこで、上記構成から成るこの電圧変換回路 1 では、加算器 8 から比較回路 12 に入力される信号 NB の値を変えることによって、オン時間 T 1（パルス幅）を変化させ、バッファ回路 3 から出力される電圧信号 v 1 のデューティ比を制御している。これにより、前記内部回路に供給する駆動電圧（出力電圧 v 2）を制御することができる。（以下では、このようなデューティ比制御方式をパルス幅可変方式と呼ぶ。）また、信号 NB を最適値に設定する手段としては、クリティカルパス回路 5 の動作速度を検出する方法が採用されている。

【0013】

クリティカルパス回路 5 は、出力電圧 v 2 が供給される内部回路の中でも信号の遅延が最も大きいと考えられるパス回路を複製した回路である。前述した通り、このクリティカルパス回路 5 の電源電圧としては、フィルタ回路 4 の出力電圧 v 2 が印加されている。すなわち、電源供給の対象となる内部回路の駆動電圧が、このクリティカルパス回路 5 によってモニタされることになる。なお、ここでは、クリティカルパス回路 5 の動作可能電圧が前記内部回路の動作可能電圧であると仮定している。

【0014】

フィルタ回路 4 の出力電圧 v 2 によってクリティカルパス回路 5 が動作可能である場合、クリティカルパス回路 5 は正否判定回路 7 に対して所定のデータを送出する。このとき、正否判定回路 7 には、クリティカルパス回路 5 から送出された前記データが直接入力されるだけでなく、遅延回路 6 によって前記データを予め定める時間だけ遅延させた遅延データも入力される。

【0015】

正否判定回路 7 に対してクリティカルパス回路 5 から直接データが入力されない場合、該正否判定回路 7 は対象としている内部回路が正常に動作していない、すなわち前記内部回路の駆動電圧（フィルタ回路 4 の出力電圧 v 2）が低過ぎると判断し、駆動電圧 v 2 を上げるために信号 NB の値を 1 だけ増加する信号 s 1

を加算器 8 に送出する。

【0016】

これに対して、正否判定回路 7 に対して遅延回路 6 を介した遅延データが入力された場合、該正否判定回路 7 は対象としている内部回路に遅延を与えても正常に動作している、すなわち前記内部回路の駆動電圧は高過ぎると判断し、駆動電圧を下げるために信号 NB の値を 1 だけ減少させる信号 s 2 を加算器 8 に送出する。

【0017】

さらにまた、正否判定回路 7 に対して、クリティカルパス回路 5 から直接データは入力されるが、遅延回路 6 を介した遅延データは入力されない場合、該正否判定回路 7 は対象としている内部回路には最適な駆動電圧が供給されていると判断して、加算器 8 には前記信号 s 1, s 2 を送出しない。

【0018】

正否判定回路 7 から信号 s 1 が入力された場合、加算器 8 は信号 NB の現在値に 1 を加えた値をデューティ比制御回路 2 に供給する。一方、正否判定回路 7 から信号 s 2 が入力された場合、加算器 8 は信号 NB の現在値に -1 を加えた値をデューティ比制御回路 2 に供給する。

【0019】

このように、上記構成から成る電圧変換回路 1 においては、クリティカルパス回路 5、遅延回路 6 および正否判定回路 7 によって、電源供給の対象としている内部回路の動作速度を検出し、検出した動作速度が速過ぎる場合には前記内部回路の駆動電圧（出力電圧 v 2）を下げるように、逆に検出した動作速度が遅過ぎる場合には前記内部回路の駆動電圧を上げるように、電圧信号 v 1 のデューティ比を制御している。

【0020】

以上のように、特開平 10-242831 号公報で示されているような、クリティカルパス回路 5 の動作速度を検出する回路とデューティ比制御回路 2 とを用いた電圧変換回路 1 は、出力電圧 v 2 の可変範囲が広く、一般的な集積回路の降圧回路として有益であることが理解される。しかしながら、出力電圧 v 2 の可変

範囲を広くするために必要となる加算器 8 等の制御に必要な回路の規模が大きくなるという問題がある。このことは、降圧回路全体の回路規模の増加を招き、その結果、降圧回路自体の消費電力の増加を引き起こす。

【0021】

また、デューティ比を制御するために用いるカウンタ回路 11 は、前記電圧信号 v_1 の周波数の 64 倍の周波数で動作するので、それ自身での消費電力が高い。

【0022】

一般に、内部回路の電源電圧が低い場合や負荷電流が小さい場合は、集積回路全体の消費電力が小さくなるので、降圧回路自体の消費電力の比率は相対的に大きくなる。そのため、降圧回路自体の消費電力も削減する必要があり、上記技術に基づく降圧回路では、内部回路が低電源電圧で動作する場合には不利である。

【0023】

以上のことから、本件発明者は、特開 2002-153050 号公報において、出力電圧の低電圧化に適した、回路規模や消費電力を削減した降圧回路を提案している。その特開 2002-153050 号公報における電圧変換回路 21 を、図 12 に示す。図 12 において、図 11 の構成に対応する部分には、同一の参照符号を付して、その説明を省略する。

【0024】

この電圧変換回路 21 は、出力パルス信号生成回路 22 およびスイッチタイミング制御回路 23 の電源電圧として、前記フィルタ回路 4 からの出力電圧 v_2 を供給することを特徴としている。また、この電圧変換回路 21 は、前記出力パルス信号生成回路 22 およびスイッチタイミング制御回路 23 を有するとともに、前記バッファ回路 3 およびフィルタ回路 4 ならびに昇圧レベルシフタ 24、25 を備えて構成されている。

【0025】

前記出力パルス信号生成回路 22 は、基準パルス信号生成回路 26、遅延回路 27 および遅延時間制御回路 28 から構成されている。これらの出力パルス信号生成回路 22 内の回路 26、27、28 およびスイッチタイミング制御回路 23

には、外部電源電圧 V_{DD} ではなく、前記フィルタ回路 4 の出力電圧 v_2 が電源電圧として供給されている。

【0026】

ただし、スイッチタイミング制御回路 23 をフィルタ回路 4 から送出される出力電圧 v_2 によって駆動すると、前記トランジスタ m_p , m_n をそれぞれ駆動制御すべき制御信号 ϕ_1 、 ϕ_2 の H レベルが該出力電圧 v_2 となってしまう、これらのトランジスタ m_p , m_n のオン／オフ制御に不具合を生じる恐れがある。そこで、前記制御信号 ϕ_1 、 ϕ_2 の電圧レベルを必要レベルまで昇圧するために、スイッチタイミング制御回路 23 の出力段には、昇圧レベルシフタ 24, 25 が設けられている。

【0027】

このようにスイッチ回路 3 およびフィルタ回路 4 を除く全ての回路部分を、外部電源電圧 V_{DD} よりも小さい出力電圧 v_2 で駆動することによって、電圧変換回路 21 自体の消費電力を大幅に削減でき、集積回路全体の低消費電力化に貢献することができる。

【0028】

【特許文献 1】

特開平 10-242831 号公報（公開日：平成 10 年 9 月 11 日）

【0029】

【特許文献 2】

特開 2002-153050 号公報（公開日：平成 14 年 5 月 24 日）

【0030】

【発明が解決しようとする課題】

しかしながら、上述の従来技術では、出力電圧 v_2 を得るためには、電圧変換回路を動作させる必要があるが、現在の構成では、起動時に回路動作に適切な出力電圧が確実に得られるとは限らないという問題がある。

【0031】

本発明の目的は、出力電圧の低電圧化に適した、回路規模や消費電力を削減した電圧変換回路を実現するとともに、確実な起動を実現することができる電圧変

換回路ならびにそれを備える半導体集積回路装置および携帯端末を提供することである。

【0032】

【課題を解決するための手段】

本発明の電圧変換回路は、P型トランジスタおよびN型トランジスタの直列回路が一对の電源ライン間に直列に接続されて構成されるスイッチ回路と、前記スイッチ回路における2つのトランジスタの接続点から導出される出力電圧を平滑化する平滑化回路と、前記平滑化回路によって平滑化された出力電圧を電源電圧とし、所望とする出力電圧を得るためのデューティ比を有するパルス信号を生成し、前記2つのトランジスタの制御端子に与えるパルス信号生成回路とを備えて構成される電圧変換回路において、起動時の予め定める期間、前記P型トランジスタを強制的にオンさせる制御信号を生成し、前記制御端子に与える起動制御回路を含むことを特徴とする。

【0033】

上記の構成によれば、起動時の予め定める期間には、起動制御回路によって前記P型トランジスタが強制的にオン駆動され、前記平滑化回路の出力電圧が確実に上昇されるので、その出力電圧を電源とするパルス信号生成回路は確実に動作を開始し、所望の出力電圧を得ることができる。

【0034】

したがって、前記平滑化回路の出力電圧をパルス信号生成回路の電源として、回路規模や消費電力を削減した電圧変換回路を実現し、さらに起動制御回路によって、その出力電圧の低電圧化に適した確実な起動を実現することができる。

【0035】

また、本発明の電圧変換回路では、前記起動制御回路は、前記起動時の予め定める期間、予め定める電圧レベルとなる起動信号を生成する起動信号生成回路と、前記起動信号および前記パルス信号生成回路からのパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルである場合、前記P型トランジスタをオンさせる電圧レベルの制御信号を出力し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成回路からのパルス信号を出力するスイッチ

制御回路とを備えて構成されることを特徴とする。

【0036】

上記の構成によれば、起動制御回路を、簡単な構成で実現することができる。

【0037】

さらにまた、本発明の電圧変換回路では、前記パルス信号生成回路は、基準パルス信号生成回路と、入力された基準パルス信号を前記予め定める時間分遅延させる遅延回路と、前記遅延回路での遅延時間を設定する遅延時間制御回路とを備えて構成されるとともに、前記遅延回路の出力パルス信号の電圧レベルを上昇させる昇圧レベルシフタをさらに備えることを特徴とする。

【0038】

上記の構成によれば、前記の回路規模や消費電力の削減を実現するために、平滑化回路の出力電圧をパルス信号生成回路の電源として、該パルス信号生成回路を低電圧動作化しても、昇圧レベルシフタによって出力されるパルス信号は昇圧され、前記2つのトランジスタは確実な動作を行うことができる。また、パルス信号生成回路の回路規模は小さく、これによってもまた、低消費電力化を図ることができる。

【0039】

また、本発明の電圧変換回路では、前記起動制御回路は、起動時の予め定める期間、前記P型トランジスタを強制的にオンさせる制御信号を第1の制御信号として、前記N型トランジスタを強制的にオフさせる第2の制御信号も生成し、前記N型トランジスタの制御端子に与えることを特徴とする。

【0040】

上記の構成によれば、さらに起動制御回路が、前記P型トランジスタを強制的にオンさせるのに対応してN型トランジスタを強制的にオフさせ、スイッチ回路の2つのトランジスタが同時にオンしないよう制御して、貫通電流が流れないようにするので、余分な電力消費を抑えることができる。

【0041】

さらにまた、本発明の電圧変換回路では、前記起動制御回路は、前記起動時の予め定める期間、予め定める電圧レベルとなる起動信号を生成する起動信号生成

回路と、前記起動信号および前記パルス信号生成回路からの P 型トランジスタのための第 1 のパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルである場合、前記 P 型トランジスタをオンさせる電圧レベルの第 1 の制御信号を出力し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成回路からの第 1 のパルス信号を出力する第 1 のスイッチ制御回路と、前記起動信号および前記パルス信号生成回路からの N 型トランジスタのための第 2 のパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルである場合、前記 N 型トランジスタをオフさせる電圧レベルの第 2 の制御信号を出力し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成回路からの第 2 のパルス信号を出力する第 2 のスイッチ制御回路とを備えて構成されることを特徴とする。

【0042】

上記の構成によれば、起動時に P 型トランジスタを強制的にオン駆動するとともに、N 型トランジスタを強制的にオフ駆動する起動制御回路を、簡単な構成で実現することができる。

【0043】

また、本発明の電圧変換回路では、前記パルス信号生成回路は、基準パルス信号生成回路と、入力された基準パルス信号を前記予め定める時間分遅延させる遅延回路と、前記遅延回路での遅延時間を設定する遅延時間制御回路とを備えて構成されるとともに、前記遅延回路の出力パルス信号から前記第 1 および第 2 のパルス信号を生成するスイッチタイミング制御回路と、前記スイッチタイミング制御回路からの前記第 1 のパルス信号の電圧レベルを上昇させる第 1 の昇圧レベルシフタと、前記スイッチタイミング制御回路からの前記第 2 のパルス信号の電圧レベルを上昇させる第 2 の昇圧レベルシフタとをさらに備えることを特徴とする。

【0044】

上記の構成によれば、前記の回路規模や消費電力の削減を実現するために、平滑化回路の出力電圧をパルス信号生成回路の電源として、該パルス信号生成回路を低電圧動作化しても、第 1 および第 2 の昇圧レベルシフタによって出力される

第1および第2のパルス信号は昇圧され、前記2つのトランジスタは確実な動作を行うことができる。また、パルス信号生成回路の回路規模は小さく、これによってもまた、低消費電力化を図ることができる。

【0045】

さらにまた、本発明の半導体集積回路装置は、前記の電圧変換回路を備えていることを特徴とする。

【0046】

上記の構成によれば、近年、前記半導体集積回路装置を構成する内部回路の消費電力低減に伴って、集積回路全体の消費電力に占める降圧回路の消費電力比率が相対的に増大しており、上記構成から成る電圧変換回路を、外部電源電圧から半導体集積回路装置の駆動電圧を生成する前記降圧回路として用いることで、該降圧回路自体の消費電力を低減でき、前記内部回路の低消費電力性を損なうことなく、前記半導体集積回路装置全体の低消費電力化に貢献することができる。

【0047】

また、本発明の携帯端末は、前記の半導体集積回路装置を備えていることを特徴とする。

【0048】

上記の構成によれば、近年、前記携帯端末の駆動時間の長時間化の要求は高まるばかりであり、上記構成から成る電圧変換回路を搭載した半導体集積回路装置を信号処理LSI等として携帯端末に用いることで、該携帯端末全体の低消費電力化に貢献することができる。

【0049】

【発明の実施の形態】

本発明の実施の一形態について、図1～図7に基づいて説明すれば、以下のとおりである。

【0050】

図1は、本発明の実施の一形態の電圧変換回路31の電氣的構成を示すブロック図である。この電圧変換回路31は、携帯端末等に搭載される半導体集積回路装置内に形成され、外部から供給される電源電圧VDDを、内部回路の電源電圧

V2に降圧して出力する降圧回路である。この電圧変換回路31は、大略的に、出力パルス信号生成回路32と、昇圧レベルシフタ33と、スイッチ制御回路34と、起動信号生成回路35と、スイッチ回路36と、フィルタ回路37とを備えて構成される。

【0051】

前記出力パルス信号生成回路32は、後述するように、所望とするデューティ比DRのパルス信号S1を生成する回路であり、そのパルス信号S1は、昇圧レベルシフタ33に入力される。昇圧レベルシフタ33は、前記電源電圧V2の振幅を有する前記パルス信号S1を、前記電源電圧VDDの振幅を有するパルス信号S2に変換する回路である。スイッチ制御回路34は、昇圧レベルシフタ33からのパルス信号S2および後述する起動信号生成回路35からの制御信号RSTHを入力とし、起動時であるか、または通常時であるかに応じて、2つの入力信号のうち、適切な信号を選択する。

【0052】

前記スイッチ回路36は、従来のスイッチ回路4と同様に、PMOSトランジスタMPおよびNMOSトランジスタMNの直列回路が一对の電源ライン間に直列に接続されて構成され、前記スイッチ制御回路34で選択された信号を増幅して、フィルタ回路37へ出力する。前記PMOSトランジスタMPのソース端子は外部電源VDDに、NMOSトランジスタMNのソース端子は接地GNDにそれぞれ接続され、これらのトランジスタMP、MNのゲート端子には共通に前記スイッチ制御回路34からの信号S3が入力され、ドレイン端子は出力端子となり、パルス状の電圧信号V1を出力する。

【0053】

前記電圧信号V1は、フィルタ回路36のインダクタンスLの一方の端子に与えられ、このインダクタンスLの他方の端子は出力端子となって出力電圧V2を出力し、内部の各回路に供給されるとともに、接地GNDとの間にキャパシタCが介在されている。したがって、前記PMOSトランジスタMPがオンすると、NMOSトランジスタMNはオフし、外部電源VDDからの電圧が出力端子に出力されるとともに、インダクタンスLに磁気エネルギーが蓄積され、前記PMOS

トランジスタMPがオフすると、NMOSトランジスタMNはオンし、インダクタンスLに蓄積されていた磁気エネルギーが該NMOSトランジスタMNを介して出力される。キャパシタCは、前記出力電圧V2を平滑化する。

【0054】

こうして、前記スイッチ制御回路34からパルス信号S2を増幅した信号が前記信号S3として入力されると、PMOSトランジスタMPおよびNMOSトランジスタMNは、交互にオンオフ動作を行い、その出力の電圧信号V1を該フィルタ回路37で平滑化して、所望の内部電源電圧V2を得ることができ、該フィルタ回路37は低域通過フィルタ（以下、LPF）として機能する。ここでは、LPFとしてLC回路を用いているが、勿論、RC回路等どのような構成でも構わない。

【0055】

本発明で設けられる起動信号生成回路35は、後述するようにして、この電圧変換回路31におけるリセット信号を生成する回路であり、そのリセット信号を前記制御信号RSTHとしてスイッチ制御回路34へ出力する。これによって、起動時の予め定める期間、前記PMOSトランジスタMPを強制的にオンさせる。

【0056】

したがって、起動時にフィルタ回路36の出力電圧V2が確実に上昇されるので、その出力電圧V2を電源とする出力パルス信号生成回路32は確実に動作を開始し、所望の出力電圧V2を得ることができる。これによって、前記フィルタ回路36の出力電圧V2を出力パルス信号生成回路32の電源として、回路規模や消費電力を削減した電圧変換回路31を実現し、さらに起動信号生成回路35によって、その出力電圧V2の低電圧化に適した確実な起動を実現することができる。

【0057】

図2は、前記出力パルス信号生成回路32の具体的な一構成例を示すブロック図である。この出力パルス信号生成回路32は、基準パルス信号生成回路41、遅延回路42および遅延時間制御回路43を備えて構成されている。基準パルス

信号生成回路 4 1 は、パルス幅一定の基準パルス信号を生成して遅延回路 4 2 に送出する回路である。遅延回路 4 2 は、前記基準パルス信号から予め定める時間だけ遅れた遅延パルス信号を生成する回路である。遅延時間制御回路 4 3 は、前記遅延回路 4 2 に対して選択信号を送出し、所望とする出力電圧 V_2 が得られるように遅延回路 4 2 における遅延時間を設定する回路である。これらの回路の詳細については、前記図 12 で示す特開 2002-153050 号で開示されているものと同様である。

【0058】

このように出力パルス信号生成回路 3 2 を、基準パルス信号生成回路 4 1、遅延回路 4 2 および遅延時間制御回路 4 3 によって構成することで、該出力パルス信号生成回路 3 2 は、回路規模の小さな回路で実現され、電圧変換回路 3 1 自体の低消費電力化を図ることができる。

【0059】

この出力パルス信号生成回路 3 2 は、デューティ比 DR のパルス信号を生成する方法として、パルス幅が一定でパルス信号の周期を可変させる、所謂、パルス周波数変調方式を用いているが、パルス周期が一定でパルス信号のパルス幅を可変させる、所謂、パルス幅変調方式に基づくパルス発生回路が用いられてもよい。

【0060】

図 3 は、前記昇圧レベルシフタ 3 3 の具体的な一構成例を示すブロック図である。ここでは、低電圧側回路を構成するトランジスタとして、DTMOS (Dynamic Threshold MOS) トランジスタを用いている。このデバイスは、0.5V 程度の電源電圧で動作するので、このデバイスを用いて集積回路を作製することで、前述のように低消費電力化が実現されている。前記出力パルス信号生成回路 3 2 においても、低電圧動作デバイスとして、同様に DTMOS トランジスタが用いられてもよい。勿論、低電圧動作デバイスとして、どのようなデバイスが用いられてもよい。

【0061】

この昇圧レベルシフタ 3 3 は、2 段のインバータ INV_1 、 INV_2 と、レベ

ルシフタSHと、さらに2段のインバータINV11, INV12とを備えて構成されている。

【0062】

前記インバータINV1, INV2は、前記フィルタ回路36の出力電圧V2を電源とするインバータであり、前記出力パルス信号生成回路32からのデューティ比DRに対応したパルス信号S1を順次反転する。したがって、インバータINV1は、PMOSトランジスタQP1およびNMOSトランジスタQN1の直列回路が前記出力電圧V2の電源ライン間に直列に接続されて構成され、これらのトランジスタQP1, QN1のベースに前記パルス信号S1が与えられ、ドレインが出力端となり、前記パルス信号S1と逆相の反転出力が導出される。同様に、インバータINV2は、PMOSトランジスタQP2およびNMOSトランジスタQN2を備えて構成され、ベースに前記インバータINV1の出力が与えられ、ドレインからは前記パルス信号S1と同相の正転出力が導出される。

【0063】

前記レベルシフタSHは、電源電圧VDDを電源とし、前記インバータINV1, INV2からの出力を、前記電源電圧VDDに増幅して出力する。したがって、このレベルシフタSHは、PMOSトランジスタQP21およびNMOSトランジスタQN21の直列回路ならびにPMOSトランジスタQP22およびNMOSトランジスタQN22の直列回路が前記電源電圧VDDの電源ライン間に並列に接続され、一方のドレイン接続端が他方のPMOSトランジスタのゲートに接続されて構成される。NMOSトランジスタQN21, QN22および前記インバータINV1, INV2を構成するPMOSトランジスタQP1, QP2およびNMOSトランジスタQN1, QN2は、前記DTMOSトランジスタから成る。前記インバータINV1の出力はNMOSトランジスタQN22のゲートに与えられ、前記インバータINV2の出力はNMOSトランジスタQN21のゲートに与えられ、トランジスタQP22, QN22のドレインが出力端となる。したがって、前記パルス信号S1と同相で、レベルシフトされた出力が導出される。

【0064】

前記インバータ $INV11$, $INV12$ は、前記電源電圧 VDD を電源とするインバータであり、前記トランジスタ $QP22$, $QN22$ のドレインからの出力を順次反転する。したがって、インバータ $INV11$ は、PMOS トランジスタ $QP11$ および NMOS トランジスタ $QN11$ の直列回路が前記電源電圧 VDD の電源ライン間に直列に接続されて構成され、これらのトランジスタ $QP11$, $QN11$ のベースに前記レベルシフタ SH の出力が与えられ、ドレインが出力端となる。同様に、インバータ $INV12$ は、PMOS トランジスタ $QP12$ および NMOS トランジスタ $QN12$ を備えて構成され、ベースに前記インバータ $INV11$ の出力が与えられ、ドレインからは前記パルス信号 $S1$ と同相の正転出力のパルス信号 $S2$ が出力される。

【0065】

このようにして、前記の回路規模や消費電力の削減を実現するために、フィルタ回路 37 の出力電圧 $V2$ を出力パルス信号生成回路 32 の電源として、該出力パルス信号生成回路 32 を低電圧動作化しても、この昇圧レベルシフタ 33 によって出力されるパルス信号 $S2$ は昇圧され、前記 2 つのトランジスタ MP , MN は確実な動作を行うことができる。

【0066】

図 4 は、スイッチ制御回路 34 の具体的な一構成例を示すブロック図である。このスイッチ制御回路 34 は、前記昇圧レベルシフタ 33 からのパルス信号 $S2$ を入力とするインバータ $INV31$ と、そのインバータ $INV31$ の出力信号と起動信号生成回路 35 からの制御信号 $RSTH$ とを入力信号とする NAND 回路 G と、ゲート駆動用のバッファ回路 $BUFF$ とを備えて構成される。NAND 回路 G には前記インバータ $INV31$ の出力信号と制御信号 $RSTH$ とが入力されており、該 NAND 回路 G は、前記制御信号 $RSTH$ のレベルが VDD レベルに等しいとき、前記出力パルス信号生成回路 32 からのパルス信号 $S2$ をそのまま出力する。これに対して、前記制御信号 $RSTH$ のレベルが GND レベルに等しいとき、該 NAND 回路 G は、前記パルス信号 $S2$ に関わらず、 VDD レベルを出力する。

【0067】

前記NAND回路Gの出力信号は、インバータから成るバッファ回路BUFFで、反転されるとともに電流駆動能力が高められて前記信号S3となり、前記PMOSトランジスタMPおよびNMOSトランジスタMNのゲートを駆動する。

【0068】

図5は、前記起動信号生成回路35の具体的な一構成例を示すブロック図である。ここでは、電源電圧VDDの立ち上がりを捉えて、RCの時定数分だけ出力をGNDレベルにする回路を示している。すなわち、電源電圧VDDの電源ライン間に、抵抗RaおよびコンデンサCaの直列回路が接続され、前記コンデンサCaの充電電圧がシュミット・トリガ・インバータSTI1, STI2を介して、前記制御信号RSTHとして出力される。前記抵抗Raには並列に、電源遮断時に前記コンデンサCaを放電させるダイオードDが接続されている。

【0069】

したがって、この起動信号生成回路35は、パワーオンリセット回路を構成し、前記制御信号RSTHが前記Lレベルとなるリセット期間Trsthは、抵抗RaおよびコンデンサCaの時定数によって決定される。

【0070】

また、図6には、前記起動信号生成回路35の別な構成例である起動信号生成回路35aを示す。この起動信号生成回路35aは、スイッチSWによるマニュアルリセット回路であり、スイッチSWがオンされると、前記コンデンサCaの電荷は抵抗Rbを介して放電される。その後、前記抵抗RaおよびコンデンサCaの時定数によって決定されるリセット期間Trsthだけ、Lレベルを出力する。

【0071】

このようにして、起動制御のための構成を、起動信号生成回路35とスイッチ制御回路34との簡単な構成で実現することができる。

【0072】

なお、前記起動信号生成回路35としては、これらの図5や図6で示したようなRC回路のみならず、タイマ回路や、オシレータとカウンタ回路との組み合わせなど、どのような回路を用いても構わない。

【0073】

図7は、上述のように構成される電圧変換回路31の動作を説明するための波形図である。この図7において、時刻 t_3 以降で示す通常時は、出力パルス信号生成回路32で生成された、デューティ比DRのパルス信号S1に基づいて、PMOSトランジスタMPおよびNMOSトランジスタMNを交互にオン／オフ駆動し、その出力の電圧信号V1をフィルタ回路37で平滑化を行って、内部回路用に所望とする出力電圧V2を得るとともに、前記出力パルス信号生成回路32の電源電圧として、該出力電圧V2が供給される。

【0074】

一方、起動時の動作について、図7の主要信号波形図を用いながら説明する。起動時においては、前記出力電圧V2は0Vであるので、出力パルス信号生成回路32は動作できない。一方、スイッチ制御回路34や起動信号生成回路35には、時刻 t_0 の電源投入から電源電圧VDDが供給され始めるので、動作を開始する。これによって、起動信号生成回路35から出力される制御信号RSTHは、リセットを表すLレベルとなり、スイッチ制御回路34の出力信号S3は、時刻 t_2 までのリセット期間 T_{rsth} の間、GNDレベルになる。この間、フィルタ回路37の出力電圧V2は上昇を続け、時刻 t_1 で出力パルス信号生成回路32が動作を行うことが可能となるレベルに達すると、該出力パルス信号生成回路32は動作を開始する。

【0075】

前記制御信号RSTHがリセット期間 T_{rsth} を終え、時刻 t_3 から出力電圧V2は徐々に低下するが、出力パルス信号生成回路32および昇圧レベルシフタ33は動作を続け、パルス信号S1を連続的に出力し、その結果、スイッチ制御回路34の出力信号S3がデューティ比DRのパルス信号となれば、この電圧変換回路31は、安定動作状態となる。

【0076】

このように起動信号生成回路35およびスイッチ制御回路34を用いることによって、該電圧変換回路31は確実に起動し、その出力電圧V2で該電圧変換回路31が継続的に動作できるようになるため、該電圧変換回路31の電力消費を

抑えることができる。

【0077】

上述の図7では、内部回路の動作レベルを0.5Vと設定しているが、これは、該内部回路を構成するデバイスを前述のDTMOSとしているためであり、他のデバイスを用いる場合は、動作レベルの設定が異なることは言うまでもない。

【0078】

本発明の実施の他の形態について、図8～図10に基づいて説明すれば、以下のとおりである。

【0079】

図8は、本発明の実施の他の形態の電圧変換回路51の電氣的構成を示すブロック図である。この電圧変換回路51は、前述の電圧変換回路31に類似し、対応する部分には、同一の参照符号または同一の参照符号に添字aまたはbを付して、その説明を省略する。注目すべきは、この電圧変換回路51では、PMOSトランジスタMPおよびNMOSトランジスタMNのゲートが、それぞれスイッチ制御回路34a、34bからの出力信号S3a、S3bによって個別に駆動されることである。これによって、PMOSトランジスタMPがオンしている間に、NMOSトランジスタMNを確実にオフさせ、貫通電流の発生を抑え、低消費電力化を図っている。

【0080】

このため、各スイッチ制御回路34a、34bに対応して、昇圧レベルシフタ33a、33bが設けられるとともに、前記出力パルス信号生成回路32で生成されたパルス信号S1から、前記昇圧レベルシフタ33a、33bにそれぞれ与える第1および第2制御信号であるパルス信号S4a、S4bを作成するスイッチタイミング制御回路52が設けられていることである。

【0081】

図9は、前記スイッチタイミング制御回路52の具体的な一構成例を示すブロック図である。このスイッチタイミング制御回路52は、2つの遅延回路53、54と、インバータINV41と、論理和否定回路NORとを備えて構成される。前記出力パルス信号生成回路32から入力されるパルス信号S1は、遅延回路

53, 54で順次遅延され、遅延回路53の出力がインバータINV41で反転されて前記PMOSトランジスタMP用のパルス信号S4aとなり、前記パルス信号S1と遅延回路54の出力の論理和否定が前記NMOSトランジスタMN用のパルス信号S4bとなる。

【0082】

前記各パルス信号S4a, S4bは、前記昇圧レベルシフタ33a, 33bで昇圧され、前記スイッチ制御回路34a, 34bを介して、PMOSトランジスタMPおよびNMOSトランジスタMNに与えられる。

【0083】

このスイッチタイミング制御回路52では、前記遅延回路53, 54および論理和否定回路NORを設けて、前記パルス信号S1と遅延回路54の出力の論理和否定を求めることで、PMOSトランジスタMPがオンする期間と、NMOSトランジスタMNがオンする期間との間に、両方のトランジスタがオフする期間、すなわち所謂デッドタイムを設けている。これによって、スイッチング状態の切換わり時に、両方のトランジスタが同時にオンすることによる貫通電流の発生を抑えることができ、一層消費電力を抑えることができる。

【0084】

前記遅延回路53, 54は、入力されたパルス信号S1を遅延させる機能を有する回路であれば、どのような回路でも構わない。

【0085】

図10は、前記スイッチ制御回路34a, 34bの具体的な一構成例を示すブロック図である。これらのスイッチ制御回路34a, 34bは、図4で示す前述のスイッチ制御回路34と同様に、インバータINV31a, INV31b、NAND回路Ga, Gbおよびバッファ回路BUFFa, BUFFbを備えて構成される。

【0086】

なお、図9で示したスイッチタイミング制御回路52からのパルス信号S4a, S4bは、インバータINV41によって、入力されるパルス信号S1とは逆位相になっているので、昇圧レベルシフタ33a, 33bでは、2段のインバー

タ INV 1, INV 2 からレベルシフタ SH への入力を逆として、パルス信号 S 2 a, S 2 b を逆位相で出力するような回路構成をとっている。

【0087】

勿論、スイッチタイミング制御回路 5 2 の出力信号の位相が入力信号と同位相となるようにすれば、昇圧レベルシフタ 3 3 a, 3 3 b へは、同位相の信号を出力するような回路構成とすればよい。

【0088】

上述のように構成される電圧変換回路 3 1, 5 1 は、外部電源電圧から半導体集積回路装置内の駆動電圧を生成する降圧回路として用いるとよい。近年、前記半導体集積回路装置を構成する内部回路の消費電力の低減に伴って、集積回路全体の消費電力に占める前記降圧回路の消費電力比率が相対的に増大している。そこで、本発明による電圧変換回路 3 1, 5 1 を前記降圧回路として採用することで、前記降圧回路自体の消費電力を低減できるので、前記内部回路の低消費電力性を損なうことがなく、前記半導体集積回路装置全体の低消費電力化に貢献することができる。

【0089】

【発明の効果】

本発明の電圧変換回路は、以上のように、電源ライン間に直列に接続される P 型トランジスタおよび N 型トランジスタを交互にオン／オフ制御し、その出力電圧を平滑化回路によって平滑化した電圧を、電源電圧として出力するとともに、所望とする出力電圧を得るためのデューティ比を有するパルス信号を生成し、前記 2 つのトランジスタの制御端子に与えるパルス信号生成回路の電源として使用するようにした電圧変換回路において、起動時の予め定める期間には、起動制御回路によって前記 P 型トランジスタを強制的にオン駆動する。

【0090】

それゆえ、前記平滑化回路の出力電圧が確実に上昇され、その出力電圧を電源とするパルス信号生成回路は確実に動作を開始し、所望の出力電圧を得ることができる。こうして、前記平滑化回路の出力電圧をパルス信号生成回路の電源とし、回路規模や消費電力を削減した電圧変換回路を実現し、さらに起動制御回路に

よって、その出力電圧の低電圧化に適した確実な起動を実現することができる。

【0091】

また、本発明の電圧変換回路は、以上のように、前記起動制御回路を、前記起動時の予め定める期間、予め定める電圧レベルとなる起動信号を生成する起動信号生成回路と、前記起動信号および前記パルス信号生成回路からのパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルである場合、前記P型トランジスタをオンさせる電圧レベルの制御信号を出力し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成回路からのパルス信号を出力するスイッチ制御回路とを備えて構成する。

【0092】

それゆえ、起動制御回路を、簡単な構成で実現することができる。

【0093】

さらにまた、本発明の電圧変換回路は、以上のように、前記パルス信号生成回路を、基準パルス信号生成回路と、入力された基準パルス信号を前記予め定める時間分遅延させる遅延回路と、前記遅延回路での遅延時間を設定する遅延時間制御回路とを備えて構成し、前記遅延回路の出力パルス信号の電圧レベルを上昇させる昇圧レベルシフタをさらに備える。

【0094】

それゆえ、前記の回路規模や消費電力の削減を実現するために、平滑化回路の出力電圧をパルス信号生成回路の電源として、該パルス信号生成回路を低電圧動作化しても、昇圧レベルシフタによって出力されるパルス信号は昇圧され、前記2つのトランジスタは確実な動作を行うことができる。また、パルス信号生成回路の回路規模は小さく、これによってもまた、低消費電力化を図ることができる。

【0095】

また、本発明の電圧変換回路は、以上のように、前記起動制御回路が、起動時の予め定める期間、前記P型トランジスタを強制的にオンさせる制御信号を第1の制御信号として、前記N型トランジスタを強制的にオフさせる第2の制御信号も生成し、前記N型トランジスタの制御端子に与える。

【0096】

それゆえ、2つのトランジスタが同時にオンしないよう制御して、貫通電流が流れないようにするので、余分な電力消費を抑えることができる。

【0097】

さらにまた、本発明の電圧変換回路は、以上のように、前記起動制御回路を、前記起動時の予め定める期間、予め定める電圧レベルとなる起動信号を生成する起動信号生成回路と、前記起動信号および前記パルス信号生成回路からのP型トランジスタのための第1のパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルである場合、前記P型トランジスタをオンさせる電圧レベルの第1の制御信号を出力し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成回路からの第1のパルス信号を出力する第1のスイッチ制御回路と、前記起動信号および前記パルス信号生成回路からのN型トランジスタのための第2のパルス信号を入力とし、前記起動信号が前記予め定める電圧レベルである場合、前記N型トランジスタをオフさせる電圧レベルの第2の制御信号を出力し、前記起動信号が前記予め定める電圧レベルでない場合、前記パルス信号生成回路からの第2のパルス信号を出力する第2のスイッチ制御回路とを備えて構成する。

【0098】

それゆえ、起動時にP型トランジスタを強制的にオン駆動するとともに、N型トランジスタを強制的にオフ駆動する起動制御回路を、簡単な構成で実現することができる。

【0099】

また、本発明の電圧変換回路は、以上のように、前記パルス信号生成回路を、基準パルス信号生成回路と、入力された基準パルス信号を前記予め定める時間分遅延させる遅延回路と、前記遅延回路での遅延時間を設定する遅延時間制御回路とを備えて構成するとともに、前記遅延回路の出力パルス信号から前記第1および第2のパルス信号を生成するスイッチタイミング制御回路と、前記スイッチタイミング制御回路からの前記第1のパルス信号の電圧レベルを上昇させる第1の昇圧レベルシフタと、前記スイッチタイミング制御回路からの前記第2のパルス

信号の電圧レベルを上昇させる第2の昇圧レベルシフタとをさらに備える。

【0100】

それゆえ、前記の回路規模や消費電力の削減を実現するために、平滑化回路の出力電圧をパルス信号生成回路の電源として、該パルス信号生成回路を低電圧動作化しても、第1および第2の昇圧レベルシフタによって出力される第1および第2のパルス信号は昇圧され、前記2つのトランジスタは確実な動作を行うことができる。また、パルス信号生成回路の回路規模は小さく、これによってもまた、低消費電力化を図ることができる。

【0101】

さらにまた、本発明の半導体集積回路装置は、以上のように、前記の電圧変換回路を、外部電源電圧から半導体集積回路装置の駆動電圧を生成する降圧回路として用いる。

【0102】

それゆえ、該降圧回路自体の消費電力を低減でき、前記内部回路の低消費電力性を損なうことなく、前記半導体集積回路装置全体の低消費電力化に貢献することができる。

【0103】

また、本発明の携帯端末は、以上のように、前記の半導体集積回路装置を備える。

【0104】

それゆえ、該携帯端末全体の低消費電力化に貢献することができる。

【図面の簡単な説明】

【図1】

本発明の実施の一形態の電圧変換回路の電氣的構成を示すブロック図である。

【図2】

図1で示す電圧変換回路における出力パルス信号生成回路の具体的な一構成例を示すブロック図である。

【図3】

図1で示す電圧変換回路における昇圧レベルシフタの具体的な一構成例を示す

ブロック図である。

【図 4】

図 1 で示す電圧変換回路におけるスイッチ制御回路の具体的な一構成例を示すブロック図である。

【図 5】

図 1 で示す電圧変換回路における起動信号生成回路の具体的な一構成例を示すブロック図である。

【図 6】

図 1 で示す電圧変換回路における起動信号生成回路の別な構成例を示すブロック図である。

【図 7】

図 1 で示す電圧変換回路の動作を説明するための波形図である。

【図 8】

本発明の実施の他の形態の電圧変換回路の電氣的構成を示すブロック図である。

【図 9】

図 8 で示す電圧変換回路におけるスイッチタイミング制御回路の具体的な一構成例を示すブロック図である。

【図 10】

図 8 で示す電圧変換回路におけるスイッチ制御回路の具体的な一構成例を示すブロック図である。

【図 11】

典型的な従来技術の電圧変換回路の概略構成図である。

【図 12】

他の従来技術の電圧変換回路の概略構成図である。

【符号の説明】

- 31, 51 電圧変換回路
- 32 出力パルス信号生成回路
- 33 昇圧レベルシフタ

33a 昇圧レベルシフタ (第1の昇圧レベルシフタ)
33b 昇圧レベルシフタ (第2の昇圧レベルシフタ)
34 スイッチ制御回路 (起動制御回路)
34a スイッチ制御回路 (起動制御回路、第1のスイッチ制御回路)
34b スイッチ制御回路 (起動制御回路、第2のスイッチ制御回路)
35 起動信号生成回路 (起動制御回路)
36 スイッチ回路
37 フィルタ回路 (平滑化回路)
41 基準パルス信号生成回路
42 遅延回路
43 遅延時間制御回路
52 スイッチタイミング制御回路
53, 54 遅延回路
BUFF; BUFFa, BUFFb バッファ回路
Ca コンデンサ
STI1, STI2 シュミット・トリガ・インバータ
D ダイオード
G; Ga, Gb NAND回路
INV1, INV2; INV11, INV12 インバータ
INV31; INV31a, INV31b インバータ
INV41 インバータ
MN NMOSトランジスタ (N型トランジスタ)
MP PMOSトランジスタ (P型トランジスタ)
NOR 論理和否定回路
QN1, QN2; QN11, QN12 NMOSトランジスタ
QN21, QN22 NMOSトランジスタ
QP1, QP2; QP11, QP12 PMOSトランジスタ
QP21, QP22 PMOSトランジスタ
Ra 抵抗

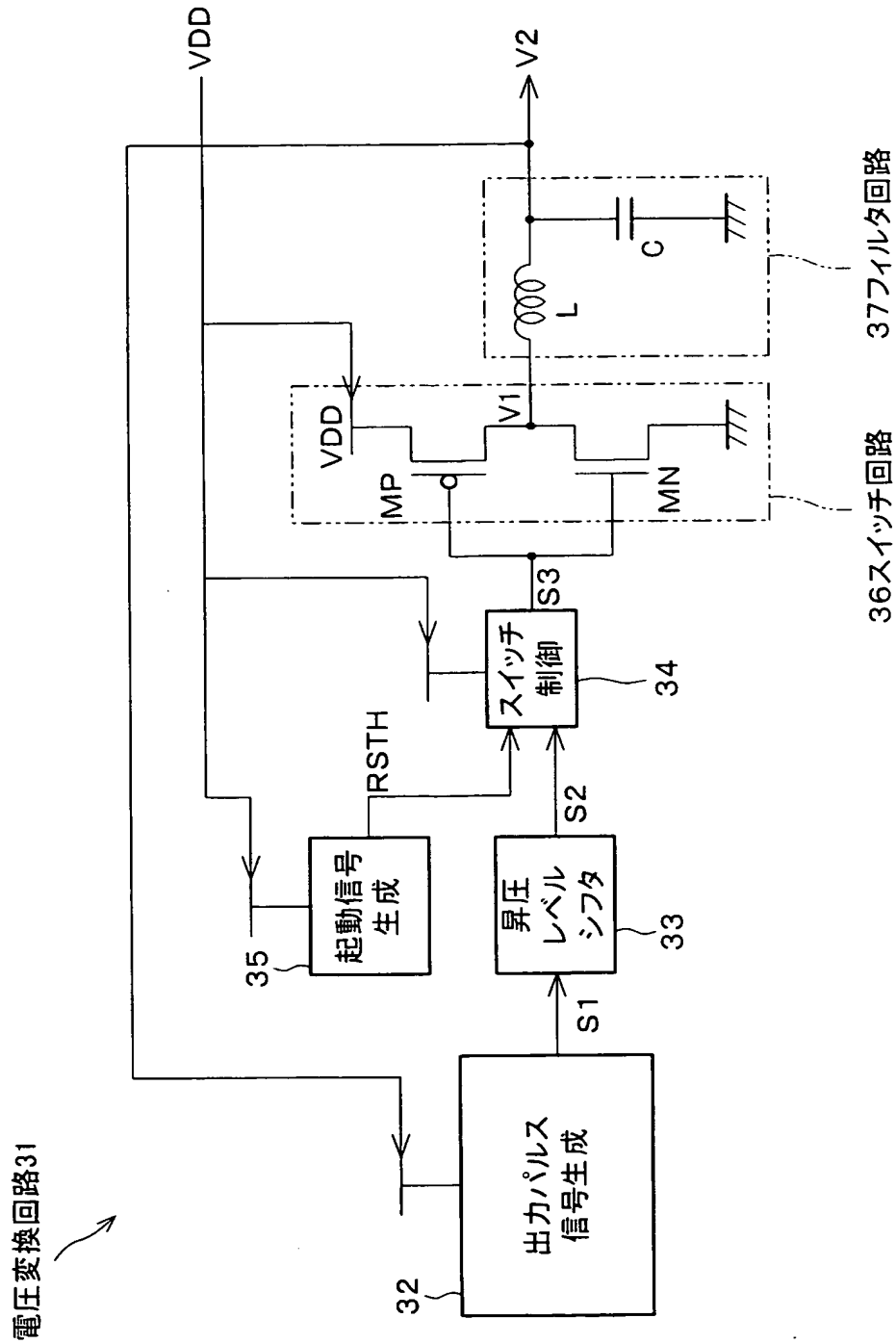
R b 抵抗

S H レベルシフタ

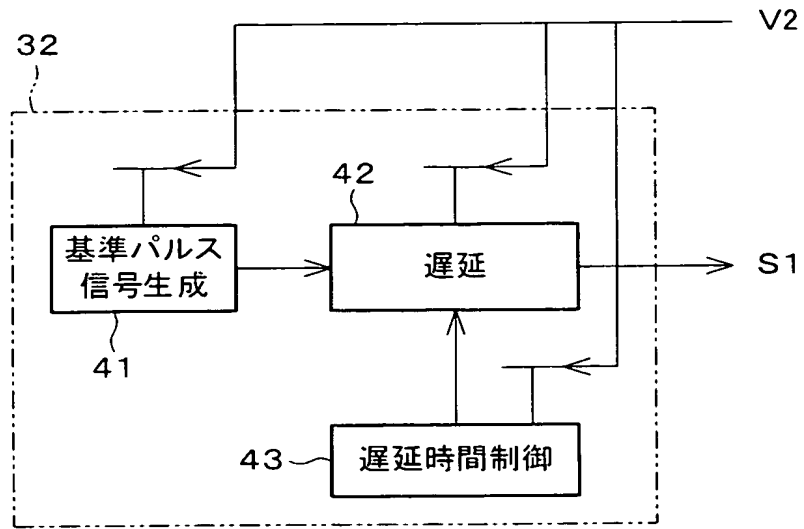
S W スイッチ

【書類名】 図面

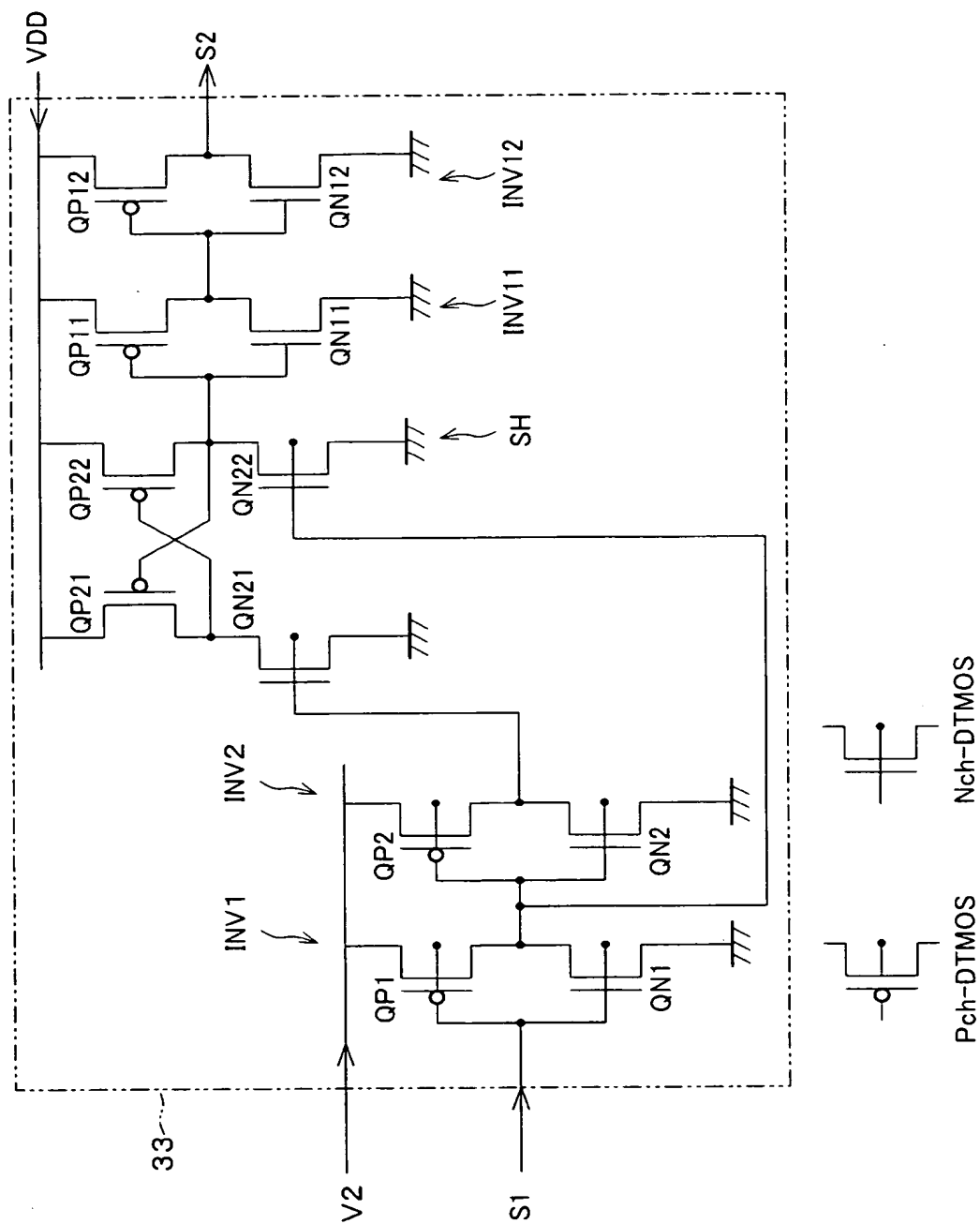
【図 1】



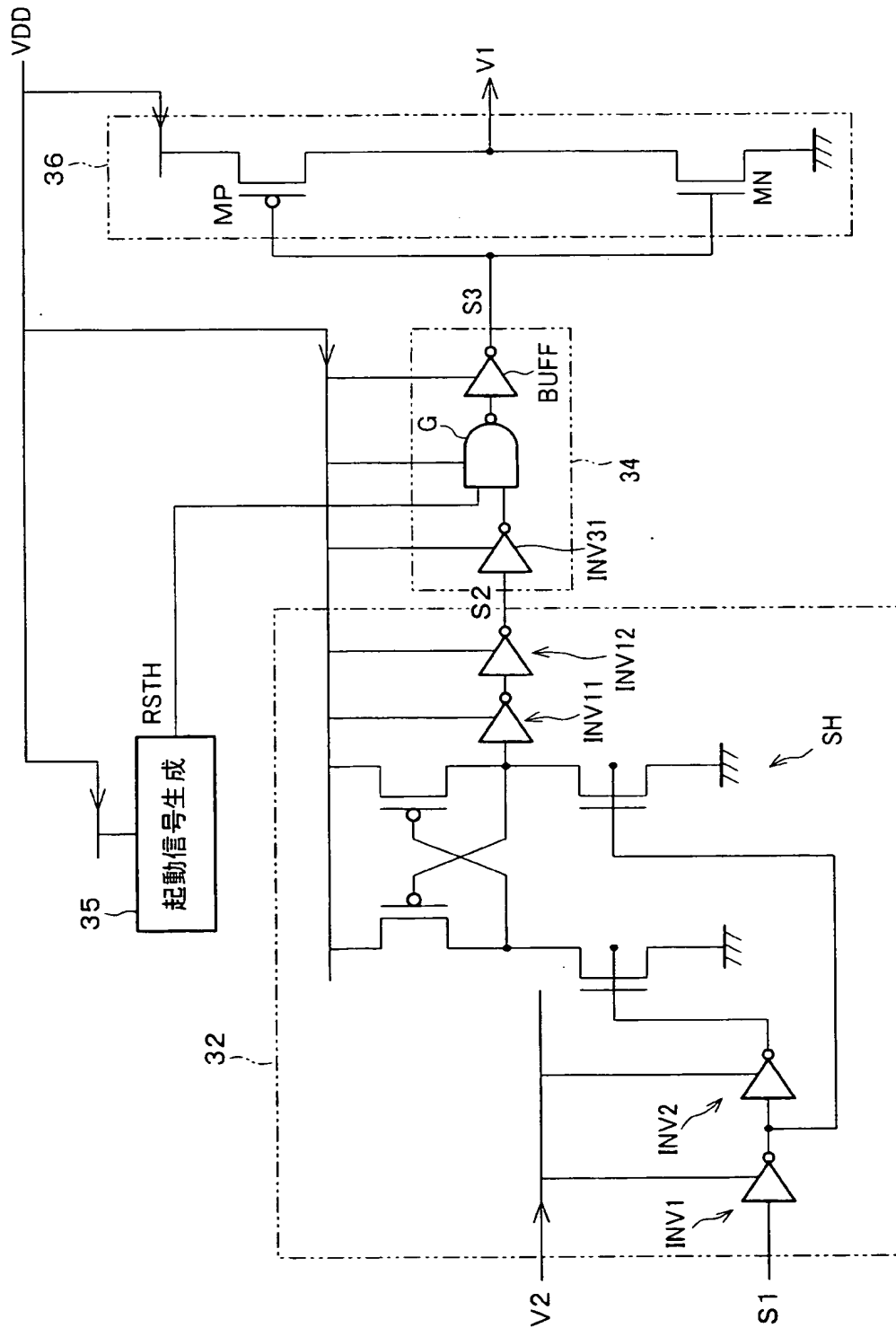
【図 2】



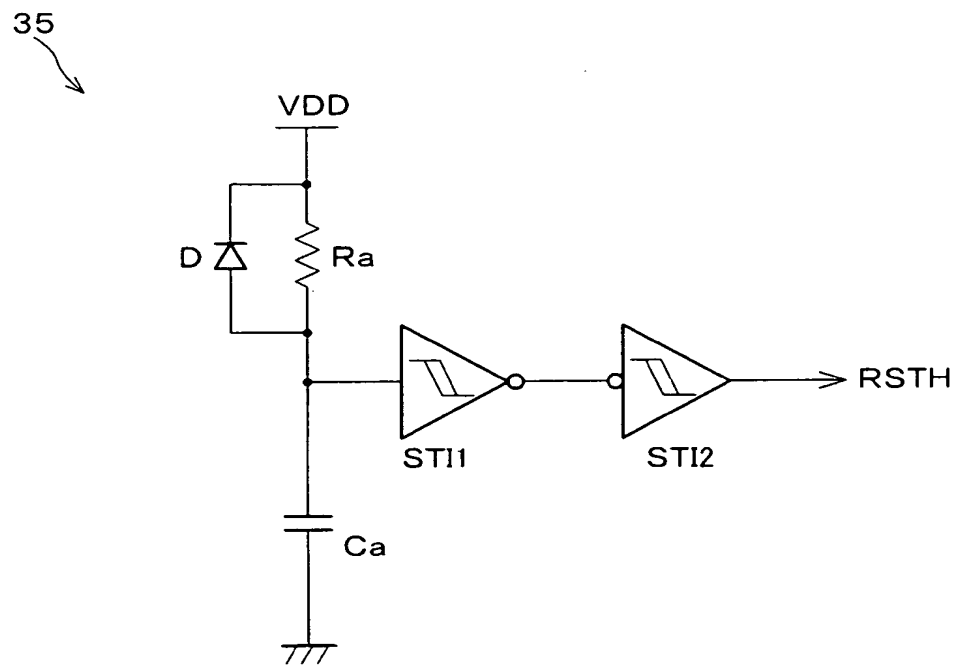
【図 3】



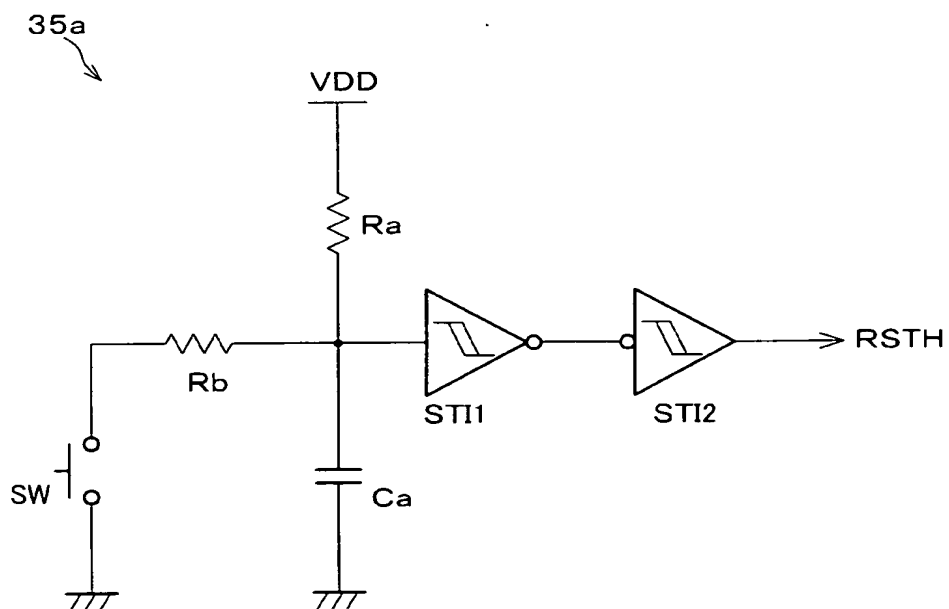
【図 4】



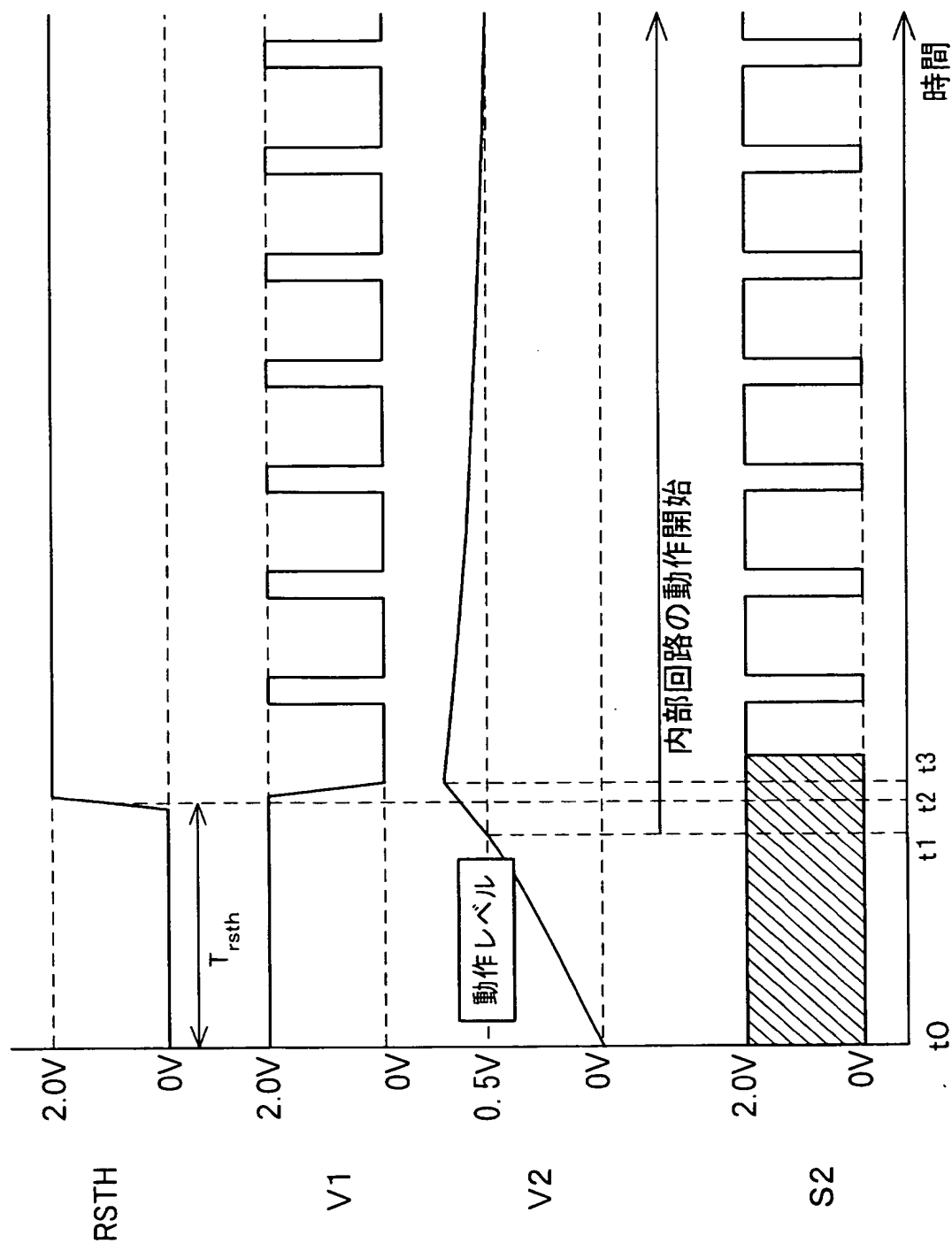
【図 5】



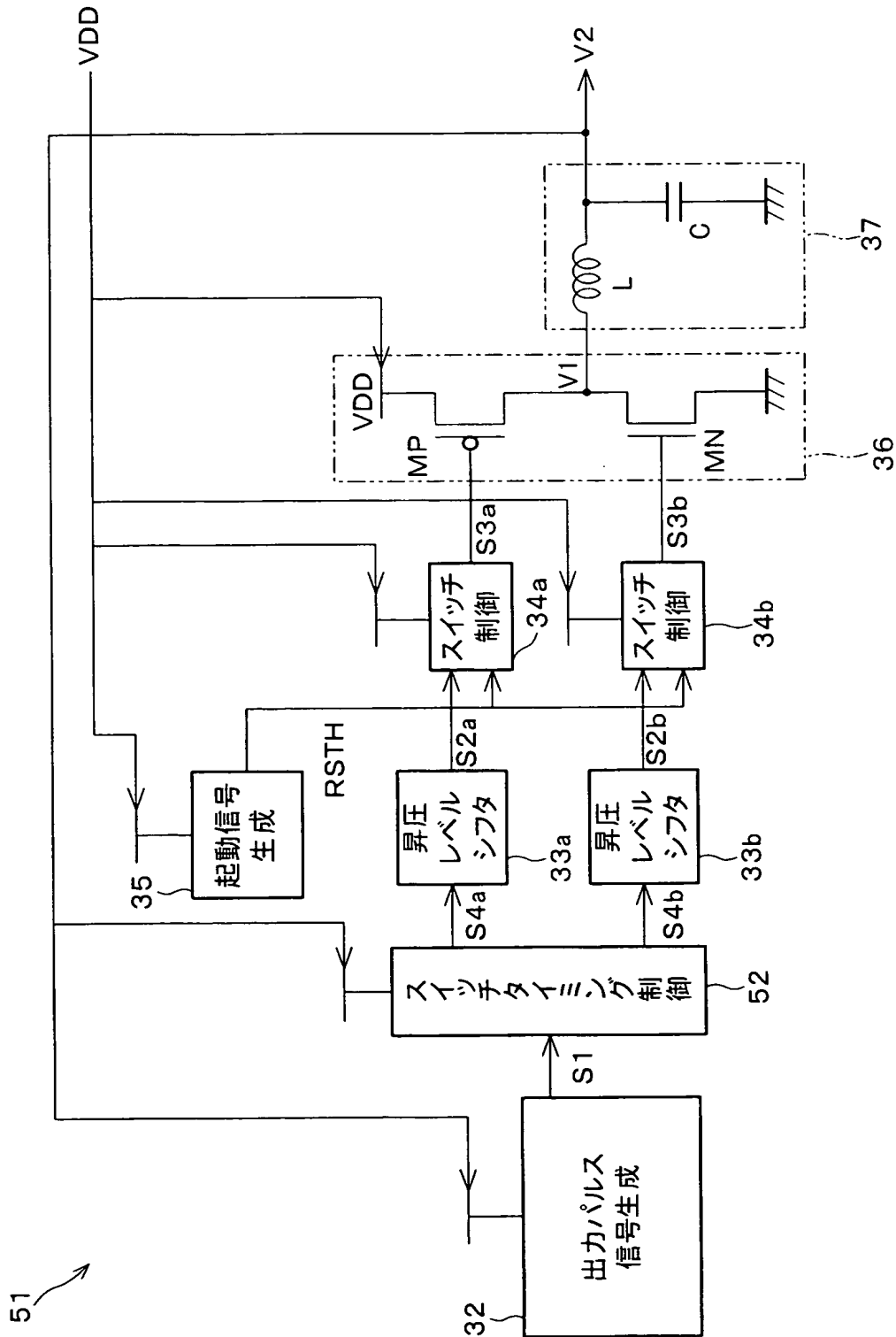
【図 6】



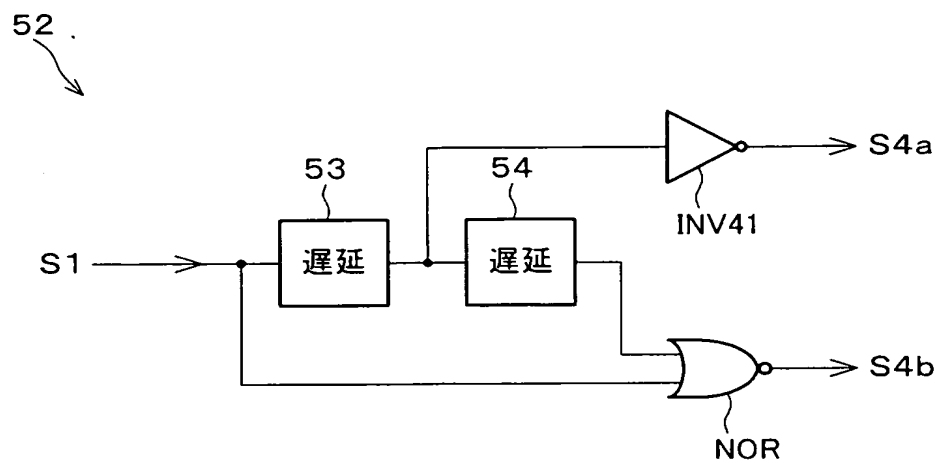
【図 7】



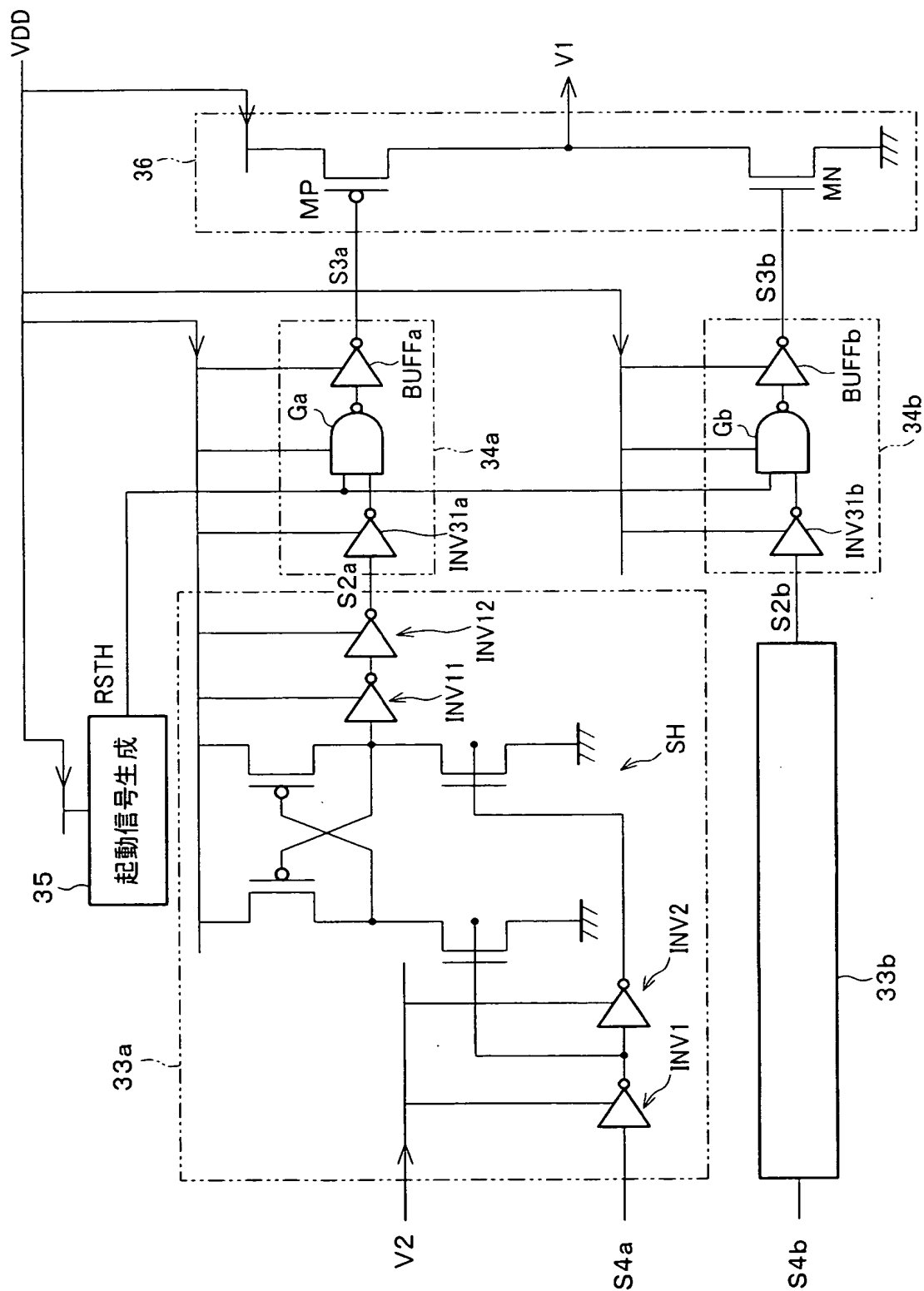
【図 8】



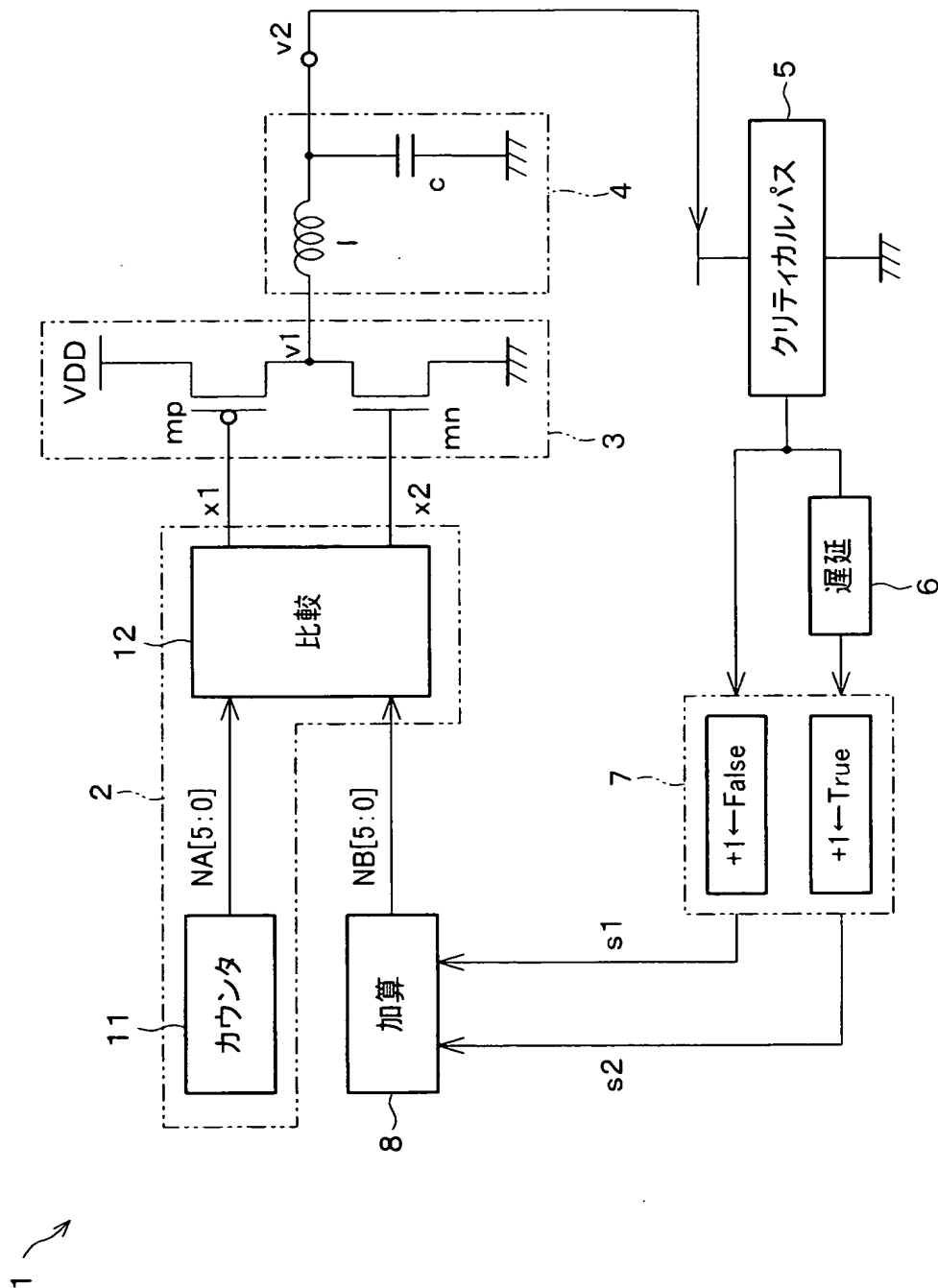
【図 9】



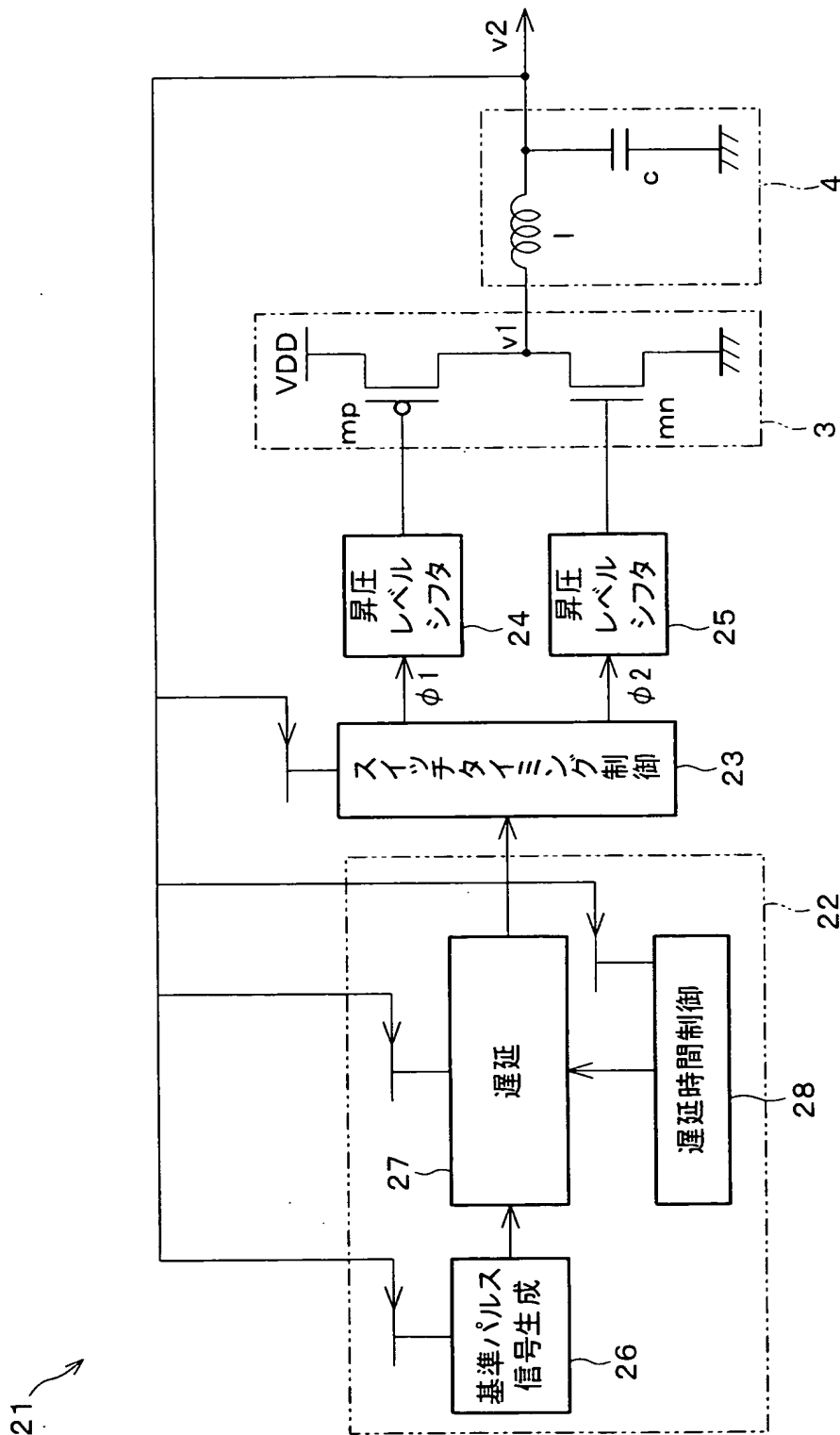
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 高圧の電圧VDDの電源ライン間に直列に接続されるPMOSトランジスタMPおよびNMOSトランジスタMNを交互にオン／オフ制御し、その出力電圧V1をフィルタ回路36によって平滑化した低圧の電圧V2を、電源電圧として他の回路へ出力するとともに、前記2つのトランジスタMP、MNを駆動する出力パルス信号生成回路32の電源として使用することで、低消費電力化するようにした電圧変換回路31において、確実な起動を実現する。

【解決手段】 起動時の予め定める期間には、前記P型トランジスタを強制的にオン駆動する起動信号RSTHを作成する起動信号生成回路35および前記出力パルス信号生成回路32からのパルス信号S1に代えて、前記起動信号RSTHを選択するスイッチ制御回路34を設ける。

【選択図】 図1

特願 2003-011622

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社